

Hoja de ruta neuromórfica de RXos

Cuatro niveles, del tejido de eventos al silicio sin reloj. Estado real, no aspiracional.

Rev 1.3 · Roger N. alias @navywakura · Nivel 1 cerrado · Nivel 2 cerrado en hardware de referencia

Cómo leer las casillas. [x] hecho y verificado por una ejecución citada. [~] implementado con límites que se enuncian. [] no empezado. Nada marcado OBJETIVO u HORIZONTE debe comunicarse como entregado.

Dónde estamos

NIVEL	ESTADO	QUÉ FALTA PARA CERRARLO
1 Núcleo del tejido de eventos	CERRADO 8/8	—
2 Límites de x86_64 y energía	CERRADO 5/5	— (la cifra en vatios la publica quien tenga la máquina)
3 Delegación neuromórfica bare-metal	OBJETIVO 0/5	Pila USB, driver de NPU, resolución temporal por debajo del PIT
4 Hardware neuromórfico puro	HORIZONTE	Dependencia externa de la industria del semiconductor

Nivel 1 — Núcleo del tejido de eventos **CERRADO**

- [x] Evento tipado de 64 B alineado a línea de caché, anillo SPSC sin bloqueos (productor ISR → consumidor pump), auto-test en cada arranque.
 - [x] Unidad LIF en Q16.16 con fuga racional perezosa $V \cdot \tau / (\tau + \Delta t)$ — sin tick neural en ninguna parte del kernel.
 - [x] Sinapsis STDP local por actor.
 - [x] Recepción de red a través del tejido, con política de disparo siempre justificada por telemetría (0 entregas INTx en q35).
 - [x] Teclado y ratón migrados a eventos tipados; la entrada **nunca** se umbraliza, por diseño.
 - [x] Primer actor genuinamente umbralizado: el refresco del WM sustituye al repintado por temporizador de 1 Hz.
 - [x] Núcleo de despacho compartido: el camino ocioso y `rx_kernel_event_loop()` mueven el mismo código.
 - [x] Inversión del lazo: el tejido posee la máquina; el shell es una tarea entre otras.
- Evidencia:** `bench` 6/6, auto-test del tejido PASS en cada arranque, `status` muestra `tasks=2` y el contador de cambios de contexto subiendo.

Nivel 2 — Límites de x86_64 y estados de energía **CERRADO**

- [x] Planificador cooperativo de actores con cambio de contexto real (conjunto callee-saved + rsp), pilas por tarea, spawn/yield/block/wake.
- [x] Descubrimiento ACPI (RSDP → RSDT/XSDT → FADT) con las latencias C2/C3 declaradas por el firmware.
- [x] Reposo más profundo utilizable: MONITOR/MWAIT con pista de estado C cuando CPUID lo expone, HLT si no. Se declara cuál se usa.
- [x] Tolerancia a fallos por software: presupuesto de fallos por actor y reencaminamiento a un actor de reserva. Etiquetado como redundancia clásica, que es lo que es sin un crossbar físico.
- [x] **Medición instrumentada de consumo.** Lectura RAPL con recuperación de #GP: se arma un guardia, se ejecuta el RDMSR y el handler reanuda en un punto registrado, así que se puede preguntar a cualquier CPU sin arriesgar un pánico. Los emuladores se rechazan en vez de creerse (QEMU devuelve 0 en MSR ausentes en lugar de fallar, lo que hacía que un sondeo ingenuo anunciara RAPL y luego «midiera» 0 mW).

Evidencia: auto-test del planificador PASS, `power` operativo en el i7-5500U de referencia. La cifra concreta en vatios corresponde publicarla a quien tenga la máquina; este documento no la inventa.

Nivel 3 — Delegación neuromórfica bare-metal **OBJETIVO**

Aquí el paradigma deja de simularse. RXos deja de *modelar* impulsos en la CPU y empieza a *entregárselos* a silicio neuromórfico dedicado.

- [] Pila USB (XHCI + transferencias masivas). Prerrequisito duro: hoy no existe ninguna, y casi todo el hardware neuromórfico accesible se conecta por USB.
- [] Resolución temporal por debajo del tick del PIT. A 100 Hz el sustrato tiene una granularidad de 10 ms; entregar trenes de impulsos con sentido exige HPET o el temporizador del APIC local.
- [] Driver bare-metal para un acelerador de impulsos concreto (BrainChip Akida AKD1000 es el candidato documentado).
- [] Codificación de eventos del tejido a trenes de impulsos del dispositivo, y de vuelta.
- [] Cifra comparativa de energía por inferencia: CPU contra NPU, ambas medidas, no heredadas de una hoja de datos.

Riesgo principal: los tres primeros puntos son subsistemas completos, no ficheros que falten. Una pila USB bare-metal es un proyecto en sí mismo.

Nivel 4 — Hardware neuromórfico puro HORIZONTE

Memoria memristiva, cómputo en el propio punto de memoria, silicio sin reloj. El cuello de botella de von Neumann no se sorteaba: desaparece.

Esto es un reto de fabricación de semiconductores de varias décadas que corresponde a la industria, no a este proyecto. Se lista para que el Nivel 3 tenga un destino, y se declara explícitamente como dependencia externa.

Fuera de los cuatro niveles: lo que pide el sistema operativo

TRABAJO	ESTADO	NOTA
Arranque en hardware real (HP 15-ac195nl)	hecho	Verificado por el autor: arranca, instala, persiste
Persistencia con partición propia	hecho	AHCI + MBR tipo 0x7F + RXFS, «Welcome back» al reiniciar
Compositor con doble búfer y damage tracking	hecho	Sin destellos negros; teclear cuesta ~60 KB, no 4 MB
Terminal dentro del gestor de ventanas	hecho	Mismo <code>commands_dispatch()</code> que el shell
Instalar RXos como sistema arrancable del disco	futuro	Hoy el disco es memoria, no arranque; pedido para la próxima versión
Driver Ethernet Realtek (r8169)	sin verificar	Escrito; ningún emulador tiene ese chip
Más de 4 GiB direccionables	futuro	Exige kernel en mitad alta con mapa directo de memoria física
Wi-Fi (RTL8188EE)	futuro	Falta una pila 802.11 entera, no un driver
Arranque UEFI nativo	aplazado	Legacy/CSM funciona

Lo siguiente, en orden

1. **Instalar el sistema en el disco** — lo pedido para la próxima versión. Requiere gestor de arranque propio o GRUB instalado en el disco, y copiar el kernel a la partición RXos.
2. **Temporizador de alta resolución** (HPET o APIC local). Cierra el cuello de 10 ms del sustrato y es prerequisite del Nivel 3.
3. **Kernel en mitad alta con mapa directo**. Libera los 8 GB y elimina el techo de 4 GiB.
4. **Pila USB**. El bloqueo grande del Nivel 3.